



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 45 654.2

**Anmeldetag:** 30. September 2002

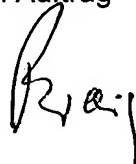
**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

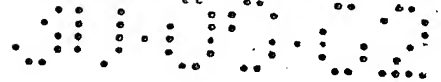
**Bezeichnung:** Treiberschaltung

**IPC:** H 03 K 19/003

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 19. September 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

  
Brosig

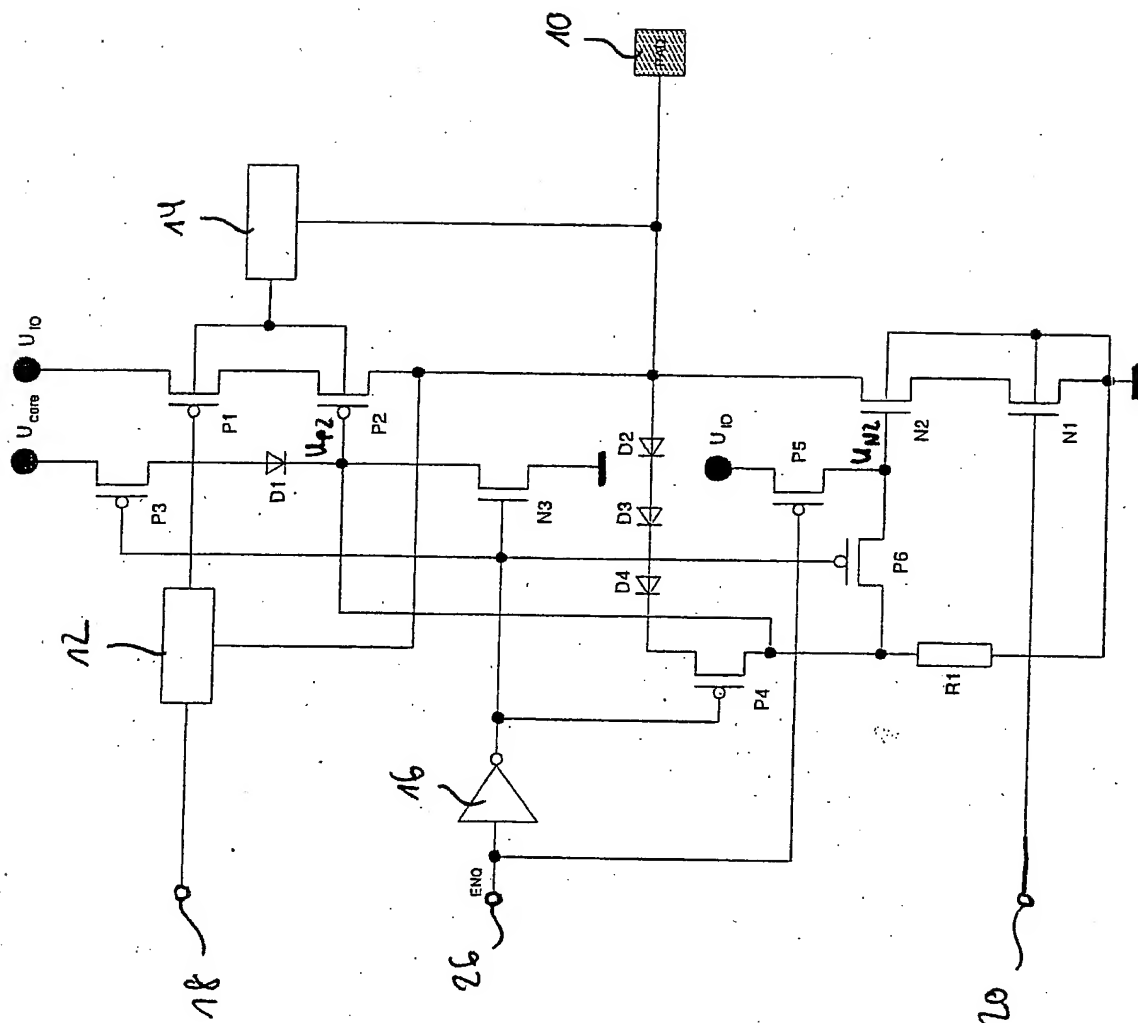


## Zusammenfassung

### Treiberschaltung

- 5 Die Erfindung betrifft eine Treiberschaltung mit
- einem Schaltungsknoten (10),
  - mindestens zwei ersten Transistoren (P1, P2), deren Laststrecken in Reihe geschaltet sind und den Schaltungsknoten (10) mit einer ersten Spannung ( $U_{I0}$ )
  - 10 verbinden,
  - mindestens zwei zweiten Transistoren (N1, N2), deren Laststrecken in Reihe geschaltet sind und den Schaltungsknoten (10) mit einem Bezugspotential verbinden, und
  - 15 - einer Regelschaltung (P3-P6, N3, D1-D4, R1, 16), die ausgebildet ist, um mindestens eine erste Steuerspannung ( $U_{P2}$ ) an mindestens einem Transistor (P2) der mindestens zwei ersten Transistoren (P1, P2) und mindestens eine zweite Steuerspannung ( $U_{N2}$ ) an mindestens einem Transistor (N2) der
  - 20 mindestens zwei zweiten Transistoren (N1, N2) abhängig von einer Spannung am Schaltungsknoten (10) einzustellen.

(Fig. 1)



V.D.I.

## Beschreibung

### Treiberschaltung

- 5 Die Erfindung betrifft eine Treiberschaltung, insbesondere eine IO-Treiberschaltung.

Bei komplexen integrierten elektronischen Schaltungen teilen sich häufig mehrere verschiedene Schaltungsmodule einen gemeinsamen Bus, beispielsweise einen Daten- oder Steuerbus. Um Zugriffskonflikte auf den Bus zu vermeiden, müssen die Schaltungsmodule vom Bus abkoppelbar sein. Dies wird in der Regel dadurch gewährleistet, dass mit dem Bus verbundene Treiberschaltungen der Schaltungsmodule in mehrere verschiedene Zustände versetzt werden können. Die verschiedenen Zustände umfassen insbesondere einen aktiven Zustand, in dem ein Schaltungsmodul mit dem Bus elektrisch gekoppelt ist, um Daten auf den Bus treiben zu können, sowie einen inaktiven Zustand, in dem eine Treiberschaltung derart geschaltet ist, dass das Modul vom Bus abgekoppelt ist, d.h. keine Daten auf diesen treiben kann. Beispielsweise wird hierzu die Treiberschaltung hochohmig geschaltet.

Auf Bussen können Über- und/oder Unterspannungen auftreten, beispielsweise bei Über- oder Unterschreiten eines maximal bzw. eines minimal zulässigen Spannungspegels auf einem Bus. Hierdurch können Schäden oder Fehlfunktionen der Treiberschaltungen auftreten.

Mit einem gemeinsamen Bus können auch Schaltungsmodule verbunden sein, die mit unterschiedlichen Versorgungsspannungen betrieben werden. Ein Beispiel hierfür ist der Betrieb von Schaltungsmodulen mit einer Versorgungsspannung von 3,3 Volt an einem gemeinsamen Bus zusammen mit Schaltungsmodulen, die mit einer

Versorgungsspannung von 5 Volt betrieben werden. Hierbei dürfen die Treiberschaltungen der niedervoltigen Schaltungsmodule nicht durch Spannungspegel bis zu 5 Volt oder sogar höher bei Auftreten von Überspannungen zerstört oder in ihrer Funktion beeinträchtigt werden.

Fig. 2 zeigt eine bekannte Treiberschaltung, die für einen CMOS-Prozess realisiert ist. Die Treiberschaltung wird über einen Schaltungsknoten 10 mit einem (nicht dargestellten) Bus gekoppelt. Bei einer integrierten Schaltung kann der Schaltungsknoten 10 beispielsweise ein Pad sein. Der Schaltungsknoten 10 ist über die in Reihe geschalteten Laststrecken zweier p-Kanal-MOSFETs P1 und P2 mit einer ersten Spannung  $U_{I0}$  verbunden. Weiterhin ist der Schaltungsknoten 10 über die in Reihe geschalteten Laststrecken zweier n-Kanal-MOSFETs N1 und N2 mit einem Bezugspotential von beispielsweise 0 Volt verbunden.

Auf den Schaltungsknoten 10 werden von einem (nicht dargestellten) Schaltungsmodul digitale Daten über einen ersten und einen zweiten Anschluss 18 bzw. 20 der Treiberschaltung geschaltet. Hierzu ist der erste Anschluss 18 über eine Gate-Steuerschaltung 12 mit dem Gate des MOSFETs P1 verbunden. Von einer (nicht dargestellten) Verteilerlogik des Schaltungsmoduls kann über den ersten Anschluss 18 ein logischer High-Pegel entsprechend der ersten Spannung  $U_{I0}$  auf den Schaltungsknoten 10 geschaltet werden. Über den zweiten Anschluss 20, der mit dem Gate des MOSFETs N1 verbunden ist, kann dagegen der Schaltungsknoten 10 mit dem Bezugspotential verbunden werden. Demnach kann die Verteilerlogik über den zweiten Anschluss 20 einen logischen Low-Pegel auf den Schaltungsknoten 10 schalten.

Durch die beiden Transistoren P2 und N2 ist die Treiberschaltung über die Anschlüsse 18 und 20 in einen

aktiven oder einen inaktiven Zustand schaltbar. Ein erster und ein zweiter Anschluss 22 bzw. 24 der Treiberschaltung sind für fest vorgegebene Bias-Spannungen vorgesehen. Der erste Anschluss 22 ist mit dem Gate des MOSFETs P2 verbunden, der zweite Anschluss 24 mit dem Gate des MOSFETs N2. Am ersten und zweiten Anschluss 22 bzw. 24 liegt eine Spannung  $U_{biasp}$  bzw.  $U_{biasn}$  an, wobei diese Spannungen unverändert für den aktiven und inaktiven Zustand ihren Wert beibehalten und zu den nachfolgend näher erklärten Problemen führen.

10

Im aktiven Zustand der Treiberschaltung sind die beiden Spannungen  $U_{biasp}$  und  $U_{biasn}$  so gewählt, dass die Transistoren P2 und N2 in Sättigung betrieben werden. Hierdurch wird gewährleistet, dass über die Transistoren P2 und N2 elektrische Ströme entsprechend einer Schnittstellenspezifikation auf den Schaltungsknoten 10 und den damit verbundenen Bus getrieben werden können. Ferner sind die beiden Transistoren N2 und P2 zum Abblocken von kapazitiven Einwirkungen vom Schaltungsknoten 10 vorgesehen.

20

Im inaktiven Zustand der Treiberschaltung befinden sich die beiden Transistoren P1 und N1 in einem nicht leitenden Zustand. Dies wird erreicht, indem an das Gate des Transistors P1 die erste Spannung  $U_{I0}$  und an das Gate des Transistors N1 das Bezugspotential angelegt wird. Dadurch sind die Pfade vom Schaltungsknoten 10 zum Potential  $U_{I0}$  und zum Bezugspotential hochohmig geschaltet. Das Potential am Schaltungsknoten 10 hängt nunmehr von den Spannungsverhältnissen am Bus ab, der mit dem Schaltungsknoten 10 verbunden ist. Insbesondere können andere Treiberschaltungen am selben Bus oder relativ hochohmige Bushaltewiderstände die Spannungsverhältnisse bestimmen.

30

Wie bereits angedeutet, ist bei einigen Schnittstellen- und Busspezifikationen die Über- und/oder Unterschreitung von

35

vorgegebenen Spannungspegeln auf einem Bus möglich, insbesondere wenn Schaltungsmodule oder Bausteine mit unterschiedlichen Versorgungsspannungen an einem gemeinsamen Bus angeschlossen sind. Dadurch können prinzipiell die

5 Spannungspegel auf dem Bus größer als die maximal zulässigen Spannungspegel an den Transistoren N2 und P2 werden. Um Zerstörungen oder Fehlfunktionen der Transistoren P2 und N2 zu vermeiden, ist es daher erforderlich, im inaktiven Zustand an die Gates der beiden Transistoren P2 und N2 Bias-  
10 Spannungen über die Anschlüsse 22 bzw. 24 anzulegen, welche die Transistoren P2 und N2 in einen Zustand bringen, in dem verhindert wird, dass zwischen dem Schaltungsknoten 10 und dem jeweiligen Gate der Transistoren P2 und N2 die maximal zulässige Spannung überschritten wird.

15

Hierbei sollte gewährleistet sein, dass die beiden Transistoren P2 und N2 allen zulässigen Spannungspegeln auf dem Bus standhalten können, die unmittelbar auf den Schaltungsknoten 10 wirken. Wird jedoch der Bereich der am

20 Schaltungsknoten 10 auftretenden Spannungspegel zu groß, können die an den Anschlüssen 22 und 24 anliegenden Bias-Spannungen nicht mehr die Anforderungen an die beiden Transistoren P2 und N2 im aktiven Zustand der Treiberschaltung gewährleisten. Beispielsweise können die  
25 Bias-Spannungen derart groß bzw. klein gewählt sein, dass im aktiven Zustand über die Laststrecken der beiden Transistoren P2 und N2 nur geringe Ströme fließen können, so dass die Treiberschaltung auf den Schaltungsknoten 10 insgesamt nur einen geringen Strom treiben kann und sich damit nur für  
30 Busse mit einer geringen kapazitiven Last sowie für Anwendungen mit niedrigen Frequenzen eignet und gegebenenfalls die Spezifikation der Schnittstelle nicht mehr eingehalten werden kann.

Um dieses Problem zu umgehen, können die beiden Transistoren P2 und N2 großflächig ausgestaltet werden. Dadurch sind sie auch bei hohen Bias-Spannungen im Stande, ausreichend große Ströme auf den Schaltungsknoten 10 zu treiben. Allerdings  
5 erfordert eine derartige Treiberschaltung bei einer Integration auf einem Halbleiterchip eine sehr große Fläche, wodurch die integrierte Schaltung teuer wird.

Das folgende Zahlenbeispiel verdeutlicht die Problematik: in  
10 einer beispielhaften CMOS-Technologie stehen Transistoren zur Verfügung, die mit maximalen Spannungen von 3,6 Volt betrieben werden können. Sollen Treiberschaltungen realisiert werden, die sowohl in einer 3,3 Volt- als auch in einer 5,0 Volt- (Schnittstellen-) Umgebung betrieben werden können,  
15 sollte als erste Spannung  $U_{I0}$  aufgrund der Spannungsbegrenzung der Transistoren etwa 3,3 Volt gewählt werden. Wenn nun an einem Bus, welcher mit den Treiberschaltungen verbunden ist, auch Bausteine oder Schaltungsmodul  
20 Versorgungsspannung von 5,0 Volt betrieben werden, können aufgrund von Über- und Unterschwingen im inaktiven Zustand der Treiberschaltungen Spannungspegel zwischen etwa -0,9 Volt bis etwa 6,0 Volt am Schaltungsknoten 10 auftreten.

25 Um zu verhindern, dass die maximale Spannung zwischen Gate und Drain (das mit dem Schaltungsknoten 10 verbunden ist) der Transistoren P2 und N2 nicht überschritten wird, sollte für die beiden Bias-Spannungen  $U_{biasn}$  und  $U_{biasp}$  ein Wert von etwa 2,4 Volt (6,0 Volt - 3,6 Volt) gewählt werden. Dadurch können  
30 die im gesamten Bereich der am Schaltungsknoten 10 auftretenden Spannungspegel die maximal zulässigen Transistorspannungen nicht überschreiten. Allerdings ist bei einer Gatespannung von etwa 2,4 Volt der Transistor P2 nicht in Sättigung, wodurch für einen ausreichenden Strom ein



großer Kanal und damit ein erheblicher Flächenbedarf für den Transistor P2 erforderlich ist.

Aufgabe der vorliegenden Erfindung ist es daher, eine  
5 Treiberschaltung vorzuschlagen, die insbesondere auf einer integrierten Schaltung kostengünstig für einen großen Spannungspegelbereich an einem Schaltungsknoten zu realisieren ist.

10 Diese Aufgabe wird durch eine Treiberschaltung mit den Merkmalen nach Anspruch 1 gelöst. Bevorzugte Ausgestaltungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Ein wesentlicher Gedanke der Erfindung besteht darin, eine  
15 Steuerspannung mindestens eines Transistors einer Treiberschaltung, dessen Laststrecke mit einem Schaltungsknoten der Treiberschaltung verbunden ist, dynamisch abhängig von einer Spannung am Schaltungsknoten zu regeln. Dadurch wird vermieden, dass eine maximal zulässige  
20 Spannung an mindestens einem Transistor, beispielsweise durch eine hohe Spannung am Schaltungsknoten aufgrund von Über- oder Unterschwingen auf einem mit der Treiberschaltung verbundenen Bus, überschritten wird und den mindestens einen Transistor zerstören oder dessen Funktion beeinträchtigen  
25 kann.

In einer konkreten Ausführungsform betrifft die Erfindung eine Treiberschaltung mit

- einem Schaltungsknoten,
- 30 - mindestens zwei ersten Transistoren, deren Laststrecken in Reihe geschaltet sind und den Schaltungsknoten mit einer ersten Spannung verbinden,
- mindestens zwei zweiten Transistoren, deren Laststrecken in Reihe geschaltet sind und den Schaltungsknoten mit einem  
35 Bezugspotential verbinden, und

- einer Regelschaltung, die ausgebildet ist, um mindestens eine erste Steuerspannung an mindestens einem Transistor der mindestens zwei ersten Transistoren und mindestens eine zweite Steuerspannung an mindestens einem Transistor der
- 5 mindestens zwei zweiten Transistoren abhängig von einer Spannung am Schaltungsknoten einzustellen.

Eine derartige Treiberschaltung eignet sich vorteilhaft für Schaltungsmodule, die mit mehreren Schaltungsmodulen an einem

10 gemeinsamen Bus betrieben werden. Sie kann aber ebenso vorteilhaft auch in jeder beliebigen elektronischen Schaltung eingesetzt werden, in der an einem Schaltungsknoten Über- oder Unterspannungen auftreten können.

- 15 Ein weiterer Vorteil der vorliegenden Erfindung ist, dass die Treiberschaltung im aktiven Zustand keine statische Stromaufnahme aufweist, was bei herkömmlichen Treiberschaltungen normalerweise üblich ist.

- 20 Die Regelschaltung kann ferner ausgebildet sein, um die Treiberschaltung abhängig von einem Freigabesignal in einen aktiven oder einen inaktiven Zustand zu versetzen. Hierdurch kann die Treiberschaltung an Bussen betrieben werden, an die mehrere Schaltungsmodule mit Treiberschaltungen gleichzeitig
- 25 elektrisch gekoppelt sind. Das Freigabesignal kann beispielsweise zentral von einer Bus-Arbiterschaltung erzeugt werden, die den Zugriff auf einen gemeinsamen Bus überwacht. Ebenso kann das Freigabesignal auch dezentral durch ein Schaltungsmodul, welches die Treiberschaltung nutzt, oder
- 30 durch ein anderes Schaltungsmodul erzeugt werden.

- Die Regelschaltung ist vorzugsweise ferner ausgebildet, um im aktiven Zustand die Steuerspannungen derart einzustellen, dass die von den Steuerspannungen gesteuerten Transistoren
- 35 etwa in Sättigung sind. Dadurch werden die von den

Steuerspannungen gesteuerten Transistoren optimal  
ausgesteuert und können im aktiven Zustand große Ströme  
treiben. Bei einer Integration der Treiberschaltung auf einem  
Halbleiterchip können daher Transistoren mit einem kleineren  
5 Flächenbedarf eingesetzt werden als bei einer  
Treiberschaltung, bei der die Transistoren im aktiven Zustand  
wie eingangs erläutert nicht in Sättigung betrieben werden  
können.

10 Die Regelschaltung ist in einer bevorzugten Ausführungsform  
ferner ausgebildet, um im inaktiven Zustand bei Überschreiten  
mindestens eines Schwellenwertes durch die Spannung am  
Schaltungsknoten die Steuerspannungen um eine vorgegebene  
Spannung zu verringern. Mit anderen Worten überwacht die  
15 Regelschaltung die Spannung am Schaltungsknoten auf  
Überschreitung des mindestens einen Schwellenwertes. Erst bei  
Überschreitung des mindestens einen Schwellenwertes wird dann  
die Steuerung der Regelschaltung, welche die Steuerspannungen  
einstellt, aktiv und verringert die Steuerspannungen,  
20 insbesondere um Schädigungen oder Fehlfunktionen der  
Transistoren zu verhindern.

In einer konkreten Ausführungsform insbesondere zur  
Realisierung des mindestens einen Schwellenwertes kann die  
25 Regelschaltung einen ersten elektrischen Pfad vom  
Schaltungsknoten zum Bezugspotential umfassen, der mindestens  
eine Diode zum Vorgeben des mindestens einen Schwellenwertes  
aufweist.

30 Der erste Pfad weist in einer bevorzugten Ausführungsform  
ferner einen Schalter auf, der vom Freigabesignal gesteuert  
wird. Durch den Schalter, vorzugsweise ein Transistor, kann  
beispielsweise der erste Pfad über das Freigabesignal im  
aktiven Zustand der Treiberschaltung abgeschaltet werden.

Eine weitere Einstellung des mindestens einen Schwellenwertes kann durch einen Widerstand im ersten Pfad erzielt werden. Der Widerstand kann auch zur Strombegrenzung durch den ersten Pfad dienen.

5

Vorzugsweise umfasst die Regelschaltung einen zweiten elektrischen Pfad. Dieser umfasst die Laststrecke eines Transistors, die an einem Anschluss mit einer zweiten Spannung und am anderen Anschluss mit einer Diode verbunden ist. Der Transistor kann vom Freigabesignal gesteuert werden. Der zweite Pfad dient vor allem zum Einstellen von vorgegebenen Steuerspannungen im inaktiven Zustand, insbesondere solange die Spannung am Schaltungsknoten unterhalb des mindestens einen Schwellenwertes liegt. Vor allem verhindert der zweite Pfad Schäden an den Transistoren oder Fehlfunktionen derselben aufgrund eines Unterschreitens der minimal zulässigen Spannung am Schaltungsknoten.

10

Vorzugsweise ist die erfindungsgemäße Treiberschaltung in einer CMOS-Technologie realisiert. Die Transistoren sind dann MOSFETs.

20

Insbesondere sind die mindestens zwei ersten Transistoren p-Kanal-MOSFETs und die mindestens zwei zweiten Transistoren n-Kanal-MOSFETs.

25

Schließlich kann eine Gate-Steuerung vorgesehen sein, die zum Steuern der Gate-Spannung mindestens eines Transistors der mindestens zwei ersten Transistoren dient. Die Gate-Steuerung hebt bei einer Spannung am Schaltungsknoten, die größer als die ersten Spannung ist, das Potential am Gate des mindestens einen Transistors etwa bis auf die Spannungen am Schaltungsknoten an. Hierdurch wird verhindert, dass sich der mindestens eine Transistor aufgrund der hohen Spannung am Schaltungsknoten selbst einschaltet.

30

35

Um bei einer derart hohen Spannung am Schaltungsknoten einen Stromfluss durch Dioden zwischen Wannen der mindestens zwei ersten Transistoren und dem Substrat zu verhindern, kann  
5 ferner eine Wannen-Steuerung zum Steuern der Wannen-Spannungen der mindestens zwei ersten Transistoren vorgesehen sein. Die Wannen-Steuerung hebt ähnlich wie die Gate-Steuerung die Spannung an den Wannen derart an, dass die Wannen/Substrat-Dioden bei einer hohen Spannung am  
10 Schaltungsknoten nicht leiten können.

Weitere Vorteile, Merkmale und Anwendungsmöglichkeiten der vorliegenden Erfindung ergeben sich aus der nachfolgenden Beschreibung in Verbindung mit den in der Zeichnung  
15 dargestellten Ausführungsbeispielen.

Die Erfindung wird im Folgenden anhand der in der Zeichnung dargestellten Ausführungsbeispiele näher beschrieben. Dabei zeigt:

20

Fig. 1 ein Ausführungsbeispiel der erfindungsgemäßen Treiberschaltung;

25

Fig. 2 ein Ausführungsbeispiel einer bekannten Treiberschaltung.

Im Folgenden werden zum Teil gleiche, funktional gleiche und/oder gleich wirkende Elemente und/oder Signale mit denselben Bezugszeichen bezeichnet. Zur Beschreibung von  
30 Fig. 2 wird auf die Beschreibungseinleitung verwiesen.

Die in Fig. 1 dargestellte Treiberschaltung weist wie die in Fig. 2 dargestellte Schaltung einen Schaltungsknoten 10, MOSFETs P1, P2, N1 und N2, einen ersten und zweiten Anschluss  
35 18 bzw. 20 für eine Verteilerlogik, eine Gate-Steuerschaltung

12 und eine n-Wannen-Steuerschaltung 14 auf. Die MOSFETs P1, P2, N1 und N2 haben dieselbe Funktion wie bei der in Fig. 2 dargestellten Treiberschaltung und sind vom selben Typ.

- 5 Über einen Freigabe-Anschluss 26 kann der dargestellten Treiberschaltung ein Freigabesignal ENQ zugeführt werden, welches die Treiberschaltung in einen aktiven oder einen inaktiven Zustand schaltet. Da der Freigabe-Anschluss 26 low-aktiv ist, schaltet ein logisches High-Signal am Freigabe-  
10 Anschluss 26 die Treiberschaltung in den inaktiven Zustand, während ein logisches Low-Signal am Freigabe-Anschluss 26 die Treiberschaltung in den aktiven Zustand schaltet.

- Eine Regelschaltung der dargestellten Treiberschaltung wird  
15 im Wesentlichen durch einen Inverter 16, einen n-Kanal-MOSFET N3, p-Kanal-MOSFETs P3-P6, Dioden D1-D4 und einen Widerstand R1 gebildet. Die Regelschaltung dient insbesondere zum Erzeugen von Steuerspannungen  $U_{P2}$  und  $U_{N2}$ , die den MOSFETs P2 bzw. N2 zugeführt werden. Der MOSFET P5 ist wie der MOSFET P1  
20 an eine Spannung  $U_{I0}$  angeschlossen, während die beiden MOSFETs N1 und N3 mit einem Bezugspotential verbunden sind.

- Um die abgebildete Treiberschaltung in einen aktiven Zustand zu versetzen, wird von einer internen Logik eines  
25 Schaltungsmoduls, das mit der Treiberschaltung verbunden ist, über den Freigabe-Anschluss 26 das Freigabesignal ENQ zugeführt, das einen logischen Low-Pegel aufweist. Das zugeführte Freigabesignal ENQ wird durch den Inverter 16 invertiert und den Transistoren N3, P3, P4 und P6 zugeführt.  
30 Ferner wird das Freigabesignal ENQ direkt dem Transistor P5 zugeführt. Aufgrund des logischen Low-Pegels des Freigabesignals ENQ werden die Transistoren P5 und N3 in einen leitenden Zustand versetzt, während die Transistoren P3, P4 und P6 aufgrund des invertierten Freigabesignals ENQ  
35 gesperrt werden.

Der leitende MOSFET N3 bewirkt, dass die Steuerspannung  $U_{P2}$  auf dem Bezugspotential liegt, so dass der p-Kanal-MOSFET P2 in einen leitenden Zustand versetzt ist. Ebenso bewirkt der leitende MOSFET P5, dass die Steuerspannung  $U_{N2}$  etwa auf dem Potential der ersten Spannung  $U_{I0}$  liegt, sodass der n-Kanal-MOSFET N2 ebenfalls leitend ist. Insbesondere befinden sich die beiden Transistoren P2 und N2 in Sättigung, sodass über ihre Laststrecken ein maximaler Strom fließen kann. Das Potential bzw. der logische Pegel am Bezugsknoten 10 kann nunmehr über die beiden MOSFETs P1 und N1 bestimmt werden.

Die Treiberschaltung wird in den inaktiven Zustand versetzt, wenn am Freigabeanschluss 26 als Freigabesignal ENQ ein logischer High-Pegel anliegt. Dies bewirkt, dass die beiden Transistoren N3 und P5 gesperrt sind. Aufgrund des invertierten Freigabesignals ENQ werden die Transistoren P3, P4 und P6 in den leitenden Zustand versetzt. Die Gates bzw. Steueranschlüsse der beiden Transistoren P2 und N2 sind dann über den nunmehr leitenden Transistor P6, genauer gesagt dessen Laststrecke, miteinander verbunden.

Tritt nun am Schaltungsknoten 10 keine Überspannung auf, d.h. überschreitet eine Spannung am Schaltungsknoten 10 nicht einen vorgegebenen Schwellenwert, wird über den MOSFET P3, die Diode D1 und den Widerstand R1 eine Bias-Spannung erzeugt, aus welcher die Steuerspannungen  $U_{P2}$  und  $U_{N2}$  für die beiden Transistoren P2 bzw. N2 abgeleitet werden. Die Bias-Spannung wird aus einer Spannung  $U_{core}$  abgeleitet, die an einem Anschluss der Laststrecke des MOSFETs P3 anliegt. In einer typischen Ausführungsform liegt die Bias-Spannung bei etwa 1 Volt. Dadurch können negative Spannungen am Schaltungsknoten 10 von bis zu etwa -1 Volt keine unzulässig hohen Spannungen an den beiden Transistoren P2 und N2 erzeugen.



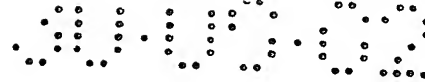
Sobald die Spannung am Schaltungsknoten 10 den vorgegebenen, oben erwähnten Schwellenwert überschreitet, wird der durch die Dioden D2 bis D4, die Laststrecke des MOSFETs P4 und den Widerstand R1 gebildete Pfad zum Bezugspotential leitend. Dadurch stellt sich am Schaltungsknoten der Laststrecken der beiden Transistoren P4 und P6 eine Spannung ein, die etwa drei Diodenschwellenspannungen unterhalb der Spannung am Schaltungsknoten 10 liegt und proportional zur Spannung am Schaltungsknoten 10 steigt. Durch die Diode D1 wird ein Stromfluss vom Schaltungsknoten zu der Spannung  $U_{core}$  über die Laststrecke des Transistors P3 gesperrt.

Insbesondere aufgrund der am Schaltungsknoten der beiden Laststrecken der Transistoren P4 und P6 gebildeten Spannung, die proportional mit der Spannung am Schaltungsknoten 10 steigt, wird nun verhindert, dass die Spannung zwischen Gate und Schaltungsknoten der beiden Transistoren P2 und N2 unzulässig groß wird, was zur Zerstörung der beiden Transistoren führen könnte.

Ein Vorteil der dargestellten Regelschaltung besteht in der einfachen Skalierbarkeit der Bias-Spannung. Durch eine geeignete Wahl des Widerstandes R1 und der Anzahl der Dioden in der Diodenkette D1-D4 kann die Bias-Spannung an eine Technologie angepasst werden, in welcher die dargestellte Treiberschaltung hergestellt wird. Die Vorspannung der Gates bzw. Steueranschlüsse der beiden Transistoren P2 und P4 auf etwa 1 Volt im niedrigen Spannungsbereich verhindert kurzfristige Überspannungen an den beiden Transistoren P2 und N2 für den Fall, dass das Potential am Schaltungsknoten 10 sehr schnell ansteigt und die Nachregelschaltung aus den Dioden D2-D4 und dem Widerstand R1 diesen schnellen Anstieg nicht „nachfolgen“ kann.



Um zu verhindern, dass sich der MOSFET P1 von selbst einschaltet oder ein Stromfluss durch die Diode, die durch die n-Wanne und das p-Substrat bei den beiden p-Kanal-MOSFETs P1 und P2 gebildet ist, statt findet, sind die Gate-  
5 Steuerschaltung 12 und die n-Wannen-Steuerschaltung 14 vorgesehen. Diese beiden Steuerschaltungen 12 und 14 bewirken, dass bei Potentialen am Schaltungsknoten 10, die höher sind als die Spannung  $U_{i0}$ , die Potentiale der n-Wannen der beiden Transistoren P1 und P2 und das Potential am Gate  
10 des Transistors P1 etwa auf das Potential am Schaltungsknoten 10 angehoben werden.



## Patentansprüche

### 5 1. Treiberschaltung mit

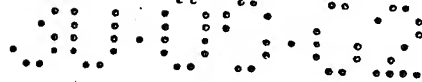
- einem Schaltungsknoten (10),
- mindestens zwei ersten Transistoren (P1, P2), deren Laststrecken in Reihe geschaltet sind und den Schaltungsknoten (10) mit einer Spannung ( $U_{I0}$ ) verbinden,
- 10 - mindestens zwei zweiten Transistoren (N1, N2), deren Laststrecken in Reihe geschaltet sind und den Schaltungsknoten (10) mit einem Bezugspotential verbinden, und
- einer Regelschaltung (P3-P6, N3, D1-D4, R1, 16), die
- 15 ausgebildet ist, um mindestens eine erste Steuerspannung ( $U_{P2}$ ) an mindestens einem Transistor (P2) der mindestens zwei ersten Transistoren (P1, P2) und mindestens eine zweite Steuerspannung ( $U_{N2}$ ) an mindestens einem Transistor (N2) der mindestens zwei zweiten Transistoren (N1, N2) abhängig von
- 20 einer Spannung am Schaltungsknoten (10) einzustellen.

### 2. Treiberschaltung nach Anspruch 1,

- dadurch gekennzeichnet, dass
- die Regelschaltung (P3-P6, N3, D1-D4, R1, 16) ferner
- 25 ausgebildet ist, um die Treiberschaltung abhängig von einem Freigabesignal (ENQ) in einen aktiven oder einen inaktiven Zustand zu versetzen.

### 3. Treiberschaltung nach Anspruch 2,

- 30 dadurch gekennzeichnet, dass
- die Regelschaltung (P3-P6, N3, D1-D4, R1, 16) ferner ausgebildet ist, um im aktiven Zustand die Steuerspannungen ( $U_{P2}$ ,  $U_{N2}$ ) derart einzustellen, dass die von den Steuerspannungen ( $U_{P2}$ ,  $U_{N2}$ ) gesteuerten Transistoren (P2, N2)
- 35 etwa in Sättigung sind.



4. Treiberschaltung nach Anspruch 2 oder 3,  
dadurch gekennzeichnet, dass  
die Regelschaltung (P3-P6, N3, D1-D4, R1, 16) ferner  
5 ausgebildet ist, um im inaktiven Zustand bei Überschreiten  
mindestens eines Schwellenwertes durch die Spannung am  
Schaltungsknoten (10) die Steuerspannungen ( $U_{P2}$ ,  $U_{N2}$ ) um eine  
vorgegebene Spannung zu verringern.
- 10 5. Treiberschaltung nach Anspruch 4,  
dadurch gekennzeichnet, dass  
die Regelschaltung (P3-P6, N3, D1-D4, R1, 16) einen  
elektrischen Pfad vom Schaltungsknoten (10) zum  
Bezugspotential umfasst, der mindestens eine Diode (D2-D4)  
15 zum Vorgeben des mindestens einen Schwellenwertes aufweist.
6. Treiberschaltung nach Anspruch 5,  
dadurch gekennzeichnet, dass  
der Pfad ferner einen Schalter (P4) aufweist, der vom  
20 Freigabesignal (ENQ) gesteuert wird.
7. Treiberschaltung nach Anspruch 5 oder 6,  
dadurch gekennzeichnet, dass  
der Pfad einen Widerstand (R1) aufweist.
- 25 8. Treiberschaltung nach einem der Ansprüche 4 bis 7,  
dadurch gekennzeichnet, dass  
die Regelschaltung (P3-P6, N3, D1-D4, R1, 16) einen  
elektrischen Pfad umfasst, der die mit einer weiteren  
30 Spannung ( $U_{core}$ ) einerseits und einer Diode (D1) andererseits  
verbundenen Laststrecke eines vom Freigabesignal (ENQ)  
gesteuerten Transistors (P3) aufweist und zum Einstellen der  
Steuerspannungen im inaktiven Zustand dient, solange die  
Spannung am Schaltungsknoten (10) unterhalb des mindestens  
35 einen Schwellenwertes liegt.



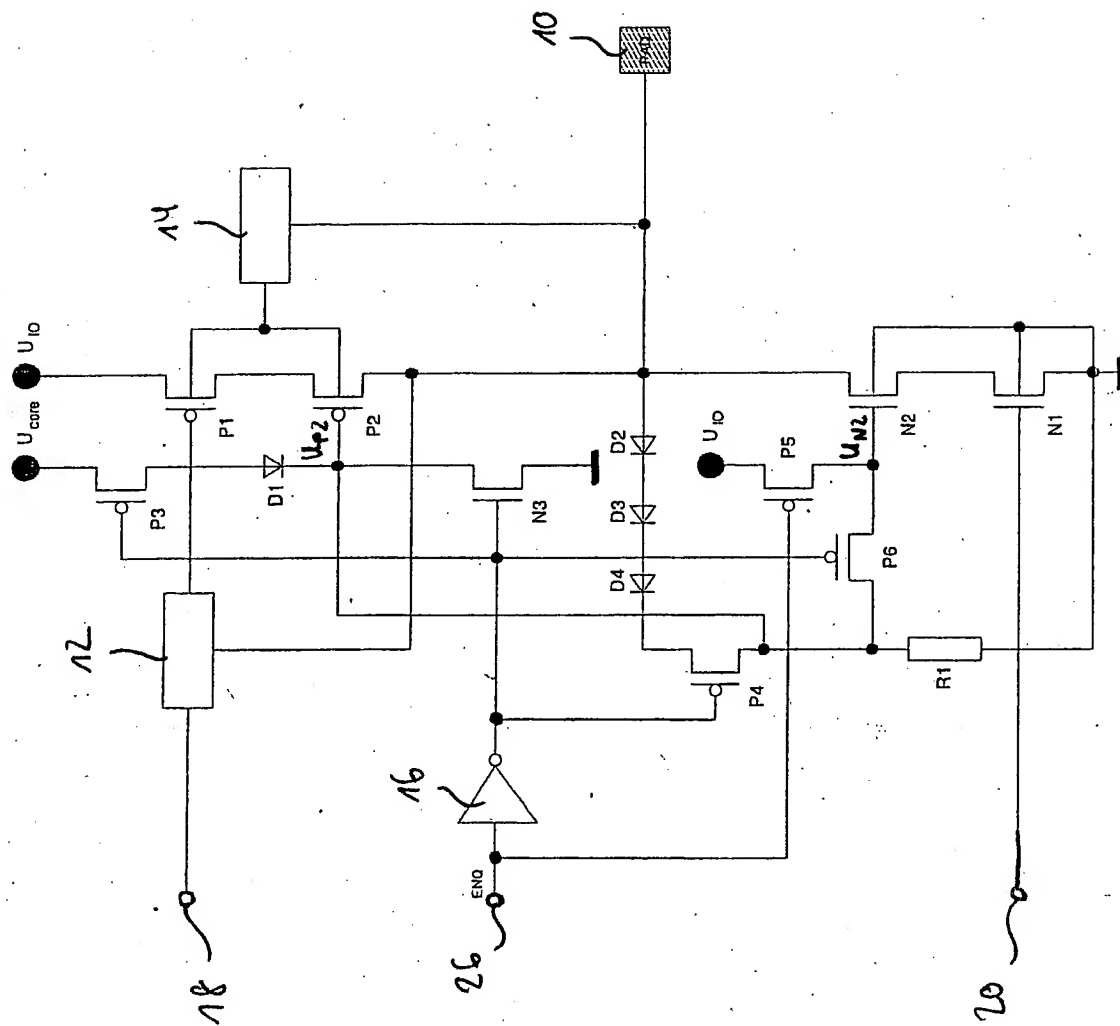
9. Treiberschaltung nach einem der Ansprüche 2 bis 8,  
dadurch gekennzeichnet, dass  
die Treiberschaltung derart ausgestaltet ist, dass sie im  
5 aktiven Zustand keine statische Stromaufnahme aufweist.

10. Treiberschaltung nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass  
sie in einer CMOS-Technologie realisiert ist und die  
10 Transistoren MOSFETs sind.

11. Treiberschaltung nach Anspruch 10,  
dadurch gekennzeichnet, dass  
die mindestens zwei ersten Transistoren (P1, P2) p-Kanal-  
15 MOSFETs und die mindestens zwei zweiten Transistoren (N1, N2)  
n-Kanal-MOSFETs sind.

12. Treiberschaltung nach Anspruch 10 oder 11,  
dadurch gekennzeichnet, dass  
20 eine Gate-Steuerung (12) zum Steuern der Gate-Spannung  
mindestens eines Transistors (P1) der mindestens zwei ersten  
Transistoren vorgesehen ist.

13. Treiberschaltung nach einem der Ansprüche 10 bis 12,  
25 dadurch gekennzeichnet, dass  
eine Wannen-Steuerung (14) zum Steuern der Wannen-Spannungen  
der mindestens zwei ersten Transistoren (P1, P2) vorgesehen  
ist.



V.S. +

Stand der  
Technik

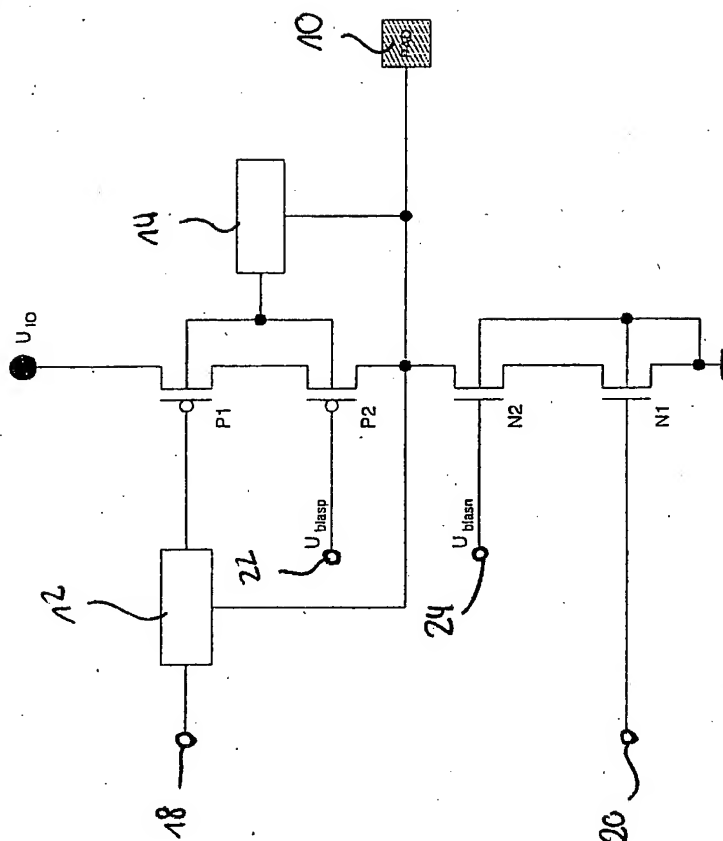


Fig. 2